

**DISPLAY DEVICE USING ELECTRIC FIELD-EMISSION ELEMENT**

Patent Number: JP7181920  
Publication date: 1995-07-21  
Inventor(s): KOBORI YOICHI; others: 02  
Applicant(s): FUTABA CORP  
Requested Patent: ☐ JP7181920  
Application Number: JP19930345612 19931222  
Priority Number(s):  
IPC Classification: G09G3/30; H01J1/30; H01J31/12; H01J31/15  
EC Classification:  
Equivalents: JP2707964B2

---

**Abstract**

---

**PURPOSE:** To promote the great simplification of circuit constitution and reduction of the cost of the display device using FECs.

**CONSTITUTION:** A cathode driver (4) and gate drivers (5 and 6) which supply drive signals to (n) cathodes and (m) gate electrodes so as to perform display operation at a display area part are formed by using logic circuits formed by using switch elements performing operation wherein an electric field emission element (FEC) having a cathode, a control electrode (1st gate), and a converging electrode (2nd gate) performs electric field-emission from the cathode to the converging electrode according to a voltage applied to the control electrode. Further, data holding parts formed by using FECs are formed corresponding to respective pixel parts, and to the pixel parts, stored data from the data holding parts are supplied, and the electric field-emission operation is controlled.

---

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-181920

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/30	3 0 1	9378-5G		
H 0 1 J 1/30		Z		
31/12		B		
31/15		F		

審査請求 未請求 請求項の数 3 F D (全 12 頁)

(21) 出願番号 特願平5-345612

(22) 出願日 平成5年(1993)12月22日

(71) 出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝629

(72) 発明者 小堀 洋一

千葉県茂原市大芝629 双葉電子工業株式  
会社内

(72) 発明者 小野高 功二

千葉県茂原市大芝629 双葉電子工業株式  
会社内

(72) 発明者 平賀 勝弥

千葉県茂原市大芝629 双葉電子工業株式  
会社内

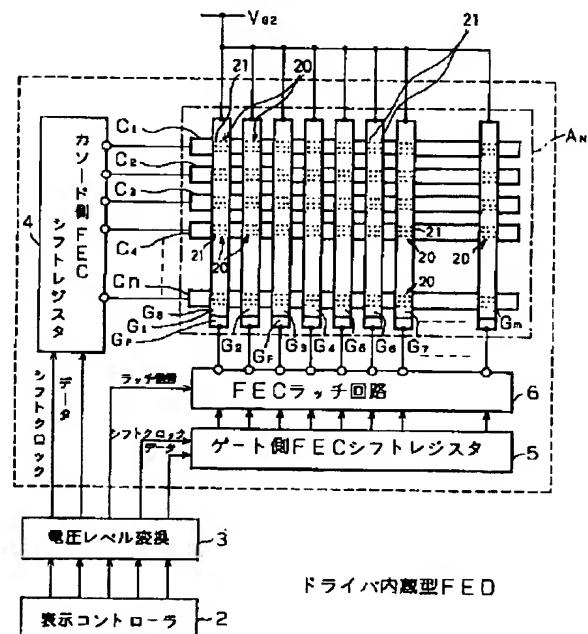
(74) 代理人 弁理士 脇 篤夫 (外1名)

(54) 【発明の名称】 電界放出素子を用いた表示装置

(57) 【要約】

【目的】 F E Cを用いた表示装置において大幅な回路構成の簡略化及びコストダウンを促進する。

【構成】 表示領域部において表示動作を実行させるためn個のカソード及びm個のゲート電極に対してドライブ信号を供給するカソードドライバ(4)及びゲートドライバ(5, 6)は、カソードと制御電極(第1ゲート)と集束電極(第2ゲート)を有する電界放出素子(F E C)が制御電極への印加電圧に応じてカソードから集束電極に対して電界放出を行なう動作によるスイッチ素子を用いて形成される論理回路を用いて形成されているようにする。また、F E Cを用いて形成されるデータ保持部を各画素部に対応して形成され、画素部はデータ保持部の記憶データが供給されて電界放出動作が制御されるようにする。



## 【特許請求の範囲】

【請求項1】 少なくともカソードとゲート電極を有する電界放出素子を複数単位有し、各電界放出素子がアノード電極に対して電界放出を行なうことで1画素を形成する画素部が縦及び横方向に $n \times m$ 個配されてなる表示領域部と、

前記表示領域部において表示動作を実行させるため $n$ 個のカソード及び $m$ 個のゲート電極に対してドライブ信号を供給するカソードドライバ及びゲートドライバを有し、

前記カソードドライバ及び／又はゲートドライバは、カソードと制御電極と集束電極を有する電界放出素子が制御電極への印加電圧に応じてカソードから集束電極に対して電界放出を行なう動作によるスイッチ素子を用いて形成される論理回路を用いて形成されていることを特徴とする電界放出素子を用いた表示装置。

【請求項2】 少なくともカソードとゲート電極を有する電界放出素子を複数単位有し、各電界放出素子がアノード電極に対して電界放出を行なうことで1画素を形成する画素部と、カソードと制御電極と集束電極を有する電界放出素子が制御電極への印加電圧に応じてカソードから集束電極に対して電界放出を行なう動作によるスイッチ素子を用いて形成されるデータ保持部が前記画素部に対応して形成され、前記画素部は前記データ保持部の記憶データが供給されて電界放出動作が制御されるようなされるとともに、

前記画素部と前記データ保持部が縦及び横方向に $n \times m$ 個配されて表示領域部が形成され、

また前記表示領域部において表示動作を実行させるため $n$ 個のカソード及び $m$ 個のゲート電極に対してドライブ信号を供給するカソードドライバ及びゲートドライバが設けられ、

前記カソードドライバ及び／又はゲートドライバは、カソードと制御電極と集束電極を有する電界放出素子が制御電極への印加電圧に応じてカソードから集束電極に対して電界放出を行なう動作によるスイッチ素子を用いて形成される論理回路を用いて形成されていることを特徴とする電界放出素子を用いた表示装置。

【請求項3】 前記カソードドライバ及び／又はゲートドライバは、前記表示領域部と同一基板上に形成されていることを特徴とする請求項1又は請求項2に記載の電界放出素子を用いた表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はコールドカソードとして知られている電界放出カソードを用いた表示装置に関するものである。

## 【0002】

【従来の技術】 金属または半導体表面の印加電界を10

<sup>9</sup> [V/m]程度にすると、トンネル効果により電子が

障壁を通過して、常温でも真空中に電子放出が行われるようになる。これを電界放出(Field Emission)と呼び、このような原理で電子を放出するカソードを電界放出カソード(Field Emission Cathode)(以下、FECという)と呼んでいる。近年、半導体加工技術を駆使して、ミクロンサイズの電界放出カソードからなる面放出型の電界放出カソードを作製することが可能となっており、電界放出カソードを基板上に多数個形成したものは、その各エミッタから放出された電子を蛍光面に照射することによってフラットな表示装置や各種の電子装置を構成する素子として期待されている。

【0003】このような電界放出素子の製造方法の1つはスピントの開発した回転斜め蒸着方法(米国特許3789471号明細書)であり、他の方法としてはシリコン単結晶板の選択エッチング法に基づくものがある。前者は陰極チップ材料をほぼ自由に選択できるという特徴があり、後者は現在の半導体微細加工がそのまま適用できるという特徴を有する。

【0004】スピント(SPINDT)法によって製造されたFECを図14(a)(b)に示す。図14(a)のFECは、ガラス等の基板100の上にカソード電極となる薄膜導体層101が蒸着により形成されており、さらにその上に不純物をドーブしたSiを成膜して抵抗層102が形成され、さらにSiO<sub>2</sub>によって絶縁層103が形成されている。そして、その上にゲート電極層104となるNbが蒸着される。絶縁層103及びゲート電極層104にはホール114が設けられ、このような基板のホール114側にエミッタ材料であるMoを正蒸着によって堆積させることによって、抵抗層102の上にコーン状のエミッタ115が形成されている。

【0005】このようなFECはコーン状のエミッタ115とゲート電極層104との距離をサブミクロンとすることができるため、エミッタ115とゲート電極層104間に僅か数十ボルトの電圧を印加することにより、エミッタ115から電子を放出させることができる。

【0006】また、図14(b)は3極管構造のFECを示し、これはゲート電極層104の上にもう1つ絶縁層107を設け、その上に第2のゲート電極108を積層したものである。この第2のゲート電極108はエミッタから引き出された電子を集束させるための役割をなすことになる。

【0007】この図14(a)(b)のようなFECを用いることで表示装置を構成することができ、例えば図14(b)を用いた表示装置は図15のように構成される。即ち、上記のFECがアレイ状に多数個形成されている基板の上方に蛍光体材料が付着されているアノード基板116を配置する。そして、第1ゲート104に対して制御電圧V<sub>g1</sub>、第2ゲート108に集束動作のための電圧V<sub>g2</sub>を、またアノード電圧V<sub>a</sub>を印加することにより、エミッタ115から放出された電子によって蛍光

体を発光させることができ、表示装置とすることができる。

【0008】

【発明が解決しようとする課題】ところで、このようなFECを用いた表示装置は、一般に図16のように構成されることになる。120は表示コントローラ、121はカソード側ドライバ、122はゲート側ドライバ、123は画素数が $n \times m$ の表示領域部を示し、表示コントローラ120は垂直走査タイミングをカソード側ドライバ121に与えてカソード $C_1 \sim C_m$ に対して順次走査電圧の印加を実行させる。またゲート側ドライバ122に対しては表示データに応じて各ゲート $G_1 \sim G_n$ にデータ電圧が印加されていくようにする。

【0009】表示領域部123の各画素は図15のように構成されており、したがって走査されているカソードラインにおける画素(FEC)ではデータに応じて印加されているゲート電圧に応じてアノード116に対して電子放出動作が行なわれ、表示動作が実行されることになる。

【0010】ところが、FECによる表示領域部123は、TTLレベルの電圧(5V)では動作しない。つまり表示コントローラ120からの電圧レベルをそのまま与えても表示は実行されない。

【0011】そこで、カソード側ドライバ121及びゲート側ドライバ122にはTTLレベルの電圧をFEC動作電圧に変換するための電圧レベル変換部が設けられていた。つまり、カソード $C_1 \sim C_m$ 及びゲート $G_1 \sim G_n$ のそれぞれに対応して $n \times m$ 個の電圧レベル変換部が必要であった。さらに、このようなカソード側ドライバ121及びゲート側ドライバ122は表示領域部123とは別体の装置部として構成される。

【0012】従って、従来のFECを用いた表示装置では、まずカソード側ドライバ121及びゲート側ドライバ122が別体部品であることによる表示装置の大型化及びコストアップが生じているとともに、さらにカソード側ドライバ121及びゲート側ドライバ122はそれぞれ $n$ 又は $m$ 個の電圧レベル変換部を設けるために回路の複雑化及び大型化が生じ、コストを下げることをより困難にしているという問題があった。

【0013】

【課題を解決するための手段】本発明はこのような問題点に鑑みて、FECを用いた表示装置において大幅な回路構成の簡略化及びコストダウンを促進する技術を提供するものである。

【0014】このため、少なくともカソードとゲート電極(第1ゲート、又は第1ゲートと第2ゲート)を有する電界放出素子(FEC)を複数単位有し、各電界放出素子がアノード電極に対して電界放出を行なうことで1画素を形成する画素部が縦及び横方向に $n \times m$ 個配されてなる表示領域部と、表示領域部において表示動作を実

行させるため $n$ 個のカソード及び $m$ 個のゲート電極に対してドライブ信号を供給するカソードドライバ及びゲートドライバを有し、このカソードドライバ及び/又はゲートドライバは、カソードと制御電極(第1ゲート)と集束電極(第2ゲート)を有する電界放出素子(FEC)が制御電極への印加電圧に応じてカソードから集束電極に対して電界放出を行なう動作によるスイッチ素子を用いて形成される論理回路を用いて形成されているようにする。

【0015】また、少なくともカソードとゲート電極(第1ゲート、又は第1ゲートと第2ゲート)を有する電界放出素子(FEC)を複数単位有し、各電界放出素子がアノード電極に対して電界放出を行なうことで1画素を形成する画素部と、カソードと制御電極(第1ゲート)と集束電極(第2ゲート)を有する電界放出素子(FEC)が制御電極への印加電圧に応じてカソードから集束電極に対して電界放出を行なう動作によるスイッチ素子を用いて形成されるデータ保持部が1つの画素部に対応して形成され、画素部はデータ保持部の記憶データが供給されて電界放出動作が制御されるようなされるとともに、画素部と前記データ保持部が縦及び横方向に $n \times m$ 個配されて表示領域部が形成されるようにする。そして、表示領域部において表示動作を実行させるため $n$ 個のカソード及び $m$ 個のゲート電極に対してドライブ信号を供給するために設けられるカソードドライバ及びゲートドライバは、カソードと制御電極(第1ゲート)と集束電極(第2ゲート)を有する電界放出素子(FEC)が制御電極への印加電圧に応じてカソードから集束電極に対して電界放出を行なう動作によるスイッチ素子を用いて形成される論理回路を用いて形成されているようにする。

【0016】そして、これらの構成において、カソードドライバ及び/又はゲートドライバは、表示領域部と同一基板上に形成する。

【0017】

【作用】いわゆる3極管構造のFECでは、制御電極(第1ゲート)への電圧印加に応じてカソードから放出された電子を集束電極(第2ゲート)に飛ばせ、カソード-集束電極間に電流を流すことができる。例えば図12に示すように第1ゲート-カソード間の電圧 $V_{g1}$ が或るしきい値電圧 $V_{th}$ を超えると、第2ゲート電流 $I_a$ が流れることになる。この特性を利用して、FEC素子をスイッチ素子として用いた電子回路を構成することができる。

【0018】そこでFEC素子を用いた論理素子により、カソードドライバ、ゲートドライバを形成できる。そして、この場合、TTLレベルからFEC駆動レベルまでの電圧レベル変換はカソードドライバ、ゲートドライバへの入力信号ラインにおいて実行されるように構成されることになり、つまり、電圧レベル変換部はカソー

ドドライバ、ゲートドライバへの入力ライン数に応じた少数だけ設ければよいことになる（表示領域部の画素サイズに応じた $n \times m$ 個の電圧レベル変換部は必要なくなる）。

【0019】そしてさらに、カソードドライバ、ゲートドライバをFECを用いて形成することで、カソードドライバ、ゲートドライバを表示領域部と一体的に同一基板上に構成することができ、回路構成は著しく簡略化される。

【0020】また、同様にFECをスイッチ素子として用いることで表示領域部における各画素に対応してデータ保持部を形成できる。例えばFECを用いてフリップフロップ回路を構成すればよい。

【0021】そしてデータ保持部の保持データにより画素部が駆動されるようにすれば、いわゆるスタティック表示が行なわれることになる。スタティック表示の場合、ゲート及びカソードへの電圧印加期間より長期間発光することになるため、輝度の向上及び消費電力の低減を実現できる。

【0022】

【実施例】以下、図1～図3によりFECを用いて形成される論理素子について説明し、続いて図4～図12により本発明の第1の実施例を、また図13により第2の実施例を説明する。

【0023】図1はFECを用いて構成したインバータ回路を示す。図1(a)のように、FEC素子は、カソードC上の抵抗部 $R_1$ の層が設けられ、抵抗部 $R_1$ の層の上にエミッタコーンCが形成されている。また、抵抗部 $R_1$ の上には絶縁層Zを介して第1ゲート $G_1$ が設けられ、さらに絶縁層Zを介して第2ゲート $G_2$ が設けられている。なお、このFEC素子は第2ゲート $G_2$ を放出電子を導入するアノードとして機能させるもので、エミッタコーンCの上方となる第2ゲート $G_2$ には電子放出のための孔は設けられない。今、カソード端子 $T_1$ をグラウンド端子とし、第1ゲート端子 $T_2$ を入力端子、第2ゲート端子 $T_3$ を出力端子とする。また第2ゲート $G_2$ には抵抗部 $R_2$ を介して第2ゲート電圧 $G_V$ が印加されてプルアップされている。

【0024】ここで、第1ゲート端子 $T_2$ に与えられる入力電圧のHレベルは電圧 $V_{TH}$ （ $V_{TH}$ はエミッタコーンCのエミッション開始電圧；図12参照）より高く、またLレベルは電圧 $V_{TL}$ より低いものとする。

【0025】第1ゲート端子 $T_2$ の電圧がHレベルとなると、エミッタコーンCのエミッション放出が開始されてエミッタコーンCから第2ゲート $G_2$ に対して電子放出がなされる。これにより第2ゲート $G_2$ からカソードC（グラウンド）に対して電流が流れ、従って第2ゲート端子 $T_3$ の出力電圧はLレベルとなる。また、第1ゲート端子 $T_2$ の電圧がLレベルとなると、エミッタコーンCのエミッションが停止される。これにより第2ゲート

$G_2$ からカソードC（グラウンド）に対しては電流は流れず、従って第2ゲート端子 $T_3$ の出力電圧はHレベルとなる。即ち、図1(b)の論理による、図1(c)のようなインバータ回路が形成されることになる。

【0026】図2はFECを用いて構成したNOR回路を示す。この場合、図2(a)のように、FEC素子は2単位設けられる。そして、これらのFEC素子も第2ゲート $G_2$ を放出電子を導入するアノードとして機能させるもので、エミッタコーンCの上方となる第2ゲート $G_2$ には電子放出のための孔は設けられない。

【0027】今、カソード端子 $T_1$ をグラウンド端子とし、各FEC素子の第1ゲート端子 $T_2$ 、 $T_2$ を入力端子、各FEC素子に共通の第2ゲート端子 $T_3$ を出力端子とする。また第2ゲート $G_2$ には抵抗部 $R_2$ を介して第2ゲート電圧 $G_V$ が印加されてプルアップされている。

【0028】ここで、第1ゲート端子 $T_2$ 、 $T_2$ に与えられる入力電圧のHレベルは電圧 $V_{TH}$ （ $V_{TH}$ はエミッタコーンCのエミッション開始電圧；図12参照）より高く、またLレベルは電圧 $V_{TL}$ より低いものとする。第1ゲート端子 $T_2$ 、 $T_2$ の両方の電圧がHレベルとなると、両FEC素子のエミッタコーンC、Cのエミッションが開始されてエミッタコーンCから第2ゲート $G_2$ に対して電子放出がなされる。これにより第2ゲート $G_2$ からカソードC（グラウンド）に対して電流が流れ、従って第2ゲート端子 $T_3$ の出力電圧はLレベルとなる。

【0029】また、第1ゲート端子 $T_2$ 、 $T_2$ のいずれか一方の電圧がHレベル、他方がLレベルとなると、第1ゲート端子がHレベルである側のFEC素子のエミッタコーンCのエミッション放出が開始されてエミッタコーンCから第2ゲート $G_2$ に対して電子放出がなされる。これにより第2ゲート $G_2$ からカソードC（グラウンド）に対して電流が流れ、従って第2ゲート端子 $T_3$ の出力電圧はLレベルとなる。

【0030】さらに、第1ゲート端子 $T_2$ 、 $T_2$ の両方の電圧がLレベルとなると、いずれのFEC素子においてもエミッタコーンCのエミッション放出が停止される。これにより第2ゲート $G_2$ からカソードC（グラウンド）に対しては電流は流れず、従って第2ゲート端子 $T_3$ の出力電圧はHレベルとなる。即ち、図2(b)の論理による、図2(c)のようなNOR回路が形成されることになる。

【0031】図3はNAND回路について示すもので、公知のとおりNAND回路はインバータ回路とNOR回路の組み合わせで形成できる。従って、上記図1(a)、図2(a)のようなFEC素子を用いたインバータ回路とNOR回路を用いて、FEC素子を用いたNAND回路が形成できる。

【0032】このようにFECを用いた論理回路を有する表示装置として本発明の第1の実施例を図4～図12

により説明する。

【0033】図4はFECを用いた表示装置の概略的な構成を示すものである。この表示装置1において、2は表示コントローラ、3は電圧レベル変換部、4は上記のようにFECを用いた論理回路により構成されるカソード側FECシフトレジスタ、5はFECを用いた論理回路により構成されるゲート側FECシフトレジスタ、6はFECを用いた論理回路により構成されるFECラッチ回路である。

【0034】表示のための画像データが表示コントローラ2に供給されると、表示コントローラ2は所定のタイミングで、カソード側FECシフトレジスタ4に対して走査データ及びシフトクロックを供給し、またゲート側FECシフトレジスタ5に対して画像データ及びシフトクロックを供給する。またFECラッチ回路6に対してラッチ信号を供給する。

【0035】なお、カソード側FECシフトレジスタ4、ゲート側FECシフトレジスタ5、FECラッチ回路6はFECを用いた論理回路により構成されるため、表示コントローラ2の動作レベル(TTLレベル)では動作は実行されない。そこで、表示コントローラ2からの信号は電圧レベル変換部3においてTTLレベルからFEC動作レベルに変換されてからカソード側FECシフトレジスタ4、ゲート側FECシフトレジスタ5、FECラッチ回路6に供給されることになる。

【0036】ゲート側FECシフトレジスタ5には1水平ライン分の画像データが順次、表示コントローラ2から供給されてシフトクロックに基づいてシフトされていく。そして1ライン分の画像データが保持された時点でラッチ信号に基づいて各データがFECラッチ回路6にラッチされ、その各ラッチされたデータに基づく電圧がゲートライン $G_1 \sim G_n$ に印加されることになる。なお、ゲート $G_1 \sim G_n$ は、それぞれ制御電極としての第1ゲート $G_f$ と集束電極としての第2ゲート $G_s$ が絶縁部を介して積層された状態に形成されており、画像データは第1ゲート $G_f$ に印加されることになる。そして、各ゲートライン $G_1 \sim G_n$ における第2ゲートには第2ゲート電源 $V_{G_2}$ から電圧が印加されている。

【0037】また、カソード側FECシフトレジスタ4は表示コントローラ2からの信号に基づいて垂直方向にスキャン動作が行なわれるようにカソード $C_1 \sim C_n$ に対して順次走査電圧を印加することになる。

【0038】表示領域においては、例えばガラス基板の上にカソード $C_1 \sim C_n$ が水平ライン方向に並べられ、その上方には図14、図15で説明したようなFECアレイが形成されている。さらにその上部は各ゲートライン $G_1 \sim G_n$ における第1ゲート $G_f$ 、第2ゲート $G_s$ が配置される。

【0039】この図で見た場合、ゲート $G_1 \sim G_n$ とカソード $C_1 \sim C_n$ の交点となる位置にそれぞれ多数の孔

21が形成されていることになるが、この孔21のそれぞれ内方において図15のようにFECアレイが形成される。即ち、ゲート $G_1 \sim G_n$ とカソード $C_1 \sim C_n$ の交点となる部分における多数のFECアレイが1つの画素(画素部20)を形成することになる。

【0040】一点鎖線で示す $A_n$ は、カソード $C_1 \sim C_n$ 及びゲート $G_1 \sim G_n$ の上方に配されるアノードを示し、各画素に対応して蛍光体が施されている。そして、第1ゲート $G_f$ に画像データに基づいて電圧が印加されると、その時の垂直走査によりドライブされているカソード( $C_1 \sim C_n$ )の交点となる画素のFECよりアノード $A_n$ に対して電子が放出され、蛍光体を励起し、表示動作が行なわれるものである。

【0041】この実施例では上述のように、カソード側FECシフトレジスタ4、ゲート側FECシフトレジスタ5、FECラッチ回路6はFECを用いた論理回路により構成されるものであり、これにより、表示領域部としてカソード $C_1 \sim C_n$ 及びゲート $G_1 \sim G_n$ が形成される部位の基板と同一基板上にカソード側FECシフトレジスタ4、ゲート側FECシフトレジスタ5、FECラッチ回路6を形成することができる。つまり表示領域と表示駆動回路部が一体化できる。

【0042】FECを用いた論理回路により構成される表示駆動回路部としてカソード側FECシフトレジスタ4、ゲート側FECシフトレジスタ5、FECラッチ回路6のうちゲート側FECシフトレジスタ5を例にあげてその構造を説明する。

【0043】図5はゲート側FECシフトレジスタ5及びFECラッチ回路6の構成例を示すもので、ゲート側FECシフトレジスタ5はDフリップフロップ50<sub>1</sub>～50<sub>n</sub>により構成される。つまり、ゲート $G_1 \sim G_n$ に対応して画像データがDフリップフロップ50<sub>1</sub>からシフトクロックのタイミングで順次送られていく。

【0044】またFECラッチ回路6はDフリップフロップ60<sub>1</sub>～60<sub>n</sub>により構成され、1水平ライン分のデータがゲート側FECシフトレジスタ5において保持された時点で入力されるラッチ信号により、ゲート側FECシフトレジスタ5の各Dフリップフロップ50<sub>1</sub>～50<sub>n</sub>に保持されているデータがそれぞれDフリップフロップ60<sub>1</sub>～60<sub>n</sub>にラッチされる。このラッチされたデータはそれぞれゲート $G_1 \sim G_n$ に印加されることになる。

【0045】ここで、Dフリップフロップ50<sub>1</sub>(50<sub>2</sub>～50<sub>n</sub>及び60<sub>1</sub>～60<sub>n</sub>も同様)は、基本的に図6のようにインバータ回路51、NAND回路52、53、NOR回路54、55により構成される。このDフリップフロップ50<sub>1</sub>についての構造は図7～図11に示される。なお、図7～図11における各部について、対応する部分が同一符合で図6に示されている。

【0046】まず図7のようにゲート側FECシフトレ

ジスタ5が配される部位には、ゲート側FECシフトレジスタ5におけるFEC素子を形成するためのカソードとして、画像データの入力のためのデータカソードCD、グラウンドとしての共通カソードCC、及びシフトクロックの入力のためのクロックカソードCCKが配され、これらのカソード上にDフリップフロップ50<sub>1</sub>、50<sub>2</sub>、…50<sub>n</sub>を構成するFECアレイが形成されることになる。

【0047】なお、データカソードCDはCD<sub>1</sub>～CD<sub>n</sub>に分割されており、表示コントローラ2から電圧レベル変換部3を介して供給される画像データはデータカソードCD<sub>1</sub>に印加される。そして、Dフリップフロップ50<sub>1</sub>からシフトされる画像データはデータカソードCD<sub>2</sub>によりDフリップフロップ50<sub>2</sub>のD端子に入力され、Dフリップフロップ50<sub>2</sub>からシフトされる画像データはデータカソードCD<sub>3</sub>によりDフリップフロップ50<sub>3</sub>のD端子に入力され、……Dフリップフロップ50<sub>n-1</sub>からシフトされる画像データはデータカソードCD<sub>n</sub>によりDフリップフロップ50<sub>n</sub>のD端子に入力される。

【0048】Dフリップフロップ50<sub>1</sub>の構造を図8～図11に示す。図8は図6の構成のDフリップフロップ50<sub>1</sub>におけるインバータ回路51の部位を示すものであり、データカソードCD<sub>1</sub>上に絶縁層Zを介して抵抗部R<sub>1</sub>が形成され、抵抗部R<sub>1</sub>上にエミッタコーンEC<sub>1</sub>が形成される。そして、エミッタコーンEC<sub>1</sub>、第1ゲートG<sub>F</sub>、第2ゲートG<sub>S</sub>によりFEC素子部Q<sub>1</sub>が形成される。第2ゲートG<sub>S</sub>は抵抗部R<sub>1</sub>を介して第2ゲート電圧V<sub>G2</sub>が印加されている。そして抵抗部R<sub>1</sub>の層はこの断面では図示されないが共通カソードCCに接している。

【0049】即ち、このFEC素子部Q<sub>1</sub>は図1で説明したインバータ回路となる。ここで、インバータ回路51の入力として第1ゲートG<sub>F</sub>は導体層71によってデータカソードCD<sub>1</sub>と接続されている。そして、インバータ回路51の出力として第2ゲートG<sub>S</sub>から図中①として示すように取り出される（導体層71及び出力①となるラインについては図6参照）。

【0050】図9は図6の構成のDフリップフロップ50<sub>1</sub>におけるNAND回路52の部位を示すものであり、データカソードCD<sub>1</sub>上の絶縁層Zを介して設けられる抵抗部R<sub>2</sub>、エミッタコーンEC<sub>2</sub>、第1ゲートG<sub>F</sub>、第2ゲートG<sub>S</sub>によりFEC素子部Q<sub>2</sub>が形成され、また抵抗部R<sub>2</sub>、エミッタコーンEC<sub>2</sub>、第1ゲートG<sub>F</sub>、第2ゲートG<sub>S</sub>によりFEC素子部Q<sub>3</sub>が形成される。

【0051】さらに、クロックカソードCCK上の絶縁層Zを介して設けられる抵抗部R<sub>2</sub>、エミッタコーンEC<sub>2</sub>、第1ゲートG<sub>F</sub>、第2ゲートG<sub>S</sub>によりFEC素子部Q<sub>4</sub>が形成され、また抵抗部R<sub>2</sub>、エミッタコーン

EC<sub>2</sub>、第1ゲートG<sub>F</sub>、第2ゲートG<sub>S</sub>によりFEC素子部Q<sub>5</sub>が形成され、さらに抵抗部R<sub>2</sub>、エミッタコーンEC<sub>2</sub>、第1ゲートG<sub>F</sub>、第2ゲートG<sub>S</sub>によりFEC素子部Q<sub>6</sub>が形成される。抵抗部R<sub>2</sub>の層はすべて共通カソードCCに接している。

【0052】FEC素子部Q<sub>2</sub>とQ<sub>3</sub>は一点鎖線で示すように連続した部位として第2ゲートG<sub>S</sub>が形成されている。ただしFEC素子部Q<sub>2</sub>、Q<sub>3</sub>及びQ<sub>4</sub>、Q<sub>5</sub>、Q<sub>6</sub>のそれぞれは第2ゲートG<sub>S</sub>が連続されていない。

各第2ゲートG<sub>S</sub>に対しては抵抗部R<sub>2</sub>を介して第2ゲート電圧V<sub>G2</sub>が印加されている。

【0053】即ち、このFEC素子部Q<sub>2</sub>～Q<sub>6</sub>は図1で説明したインバータ回路と図2のNOR回路を図3のように組み合わせたNAND回路となる。つまり、FEC素子部Q<sub>2</sub>、Q<sub>3</sub>、Q<sub>4</sub>が3つのインバータ回路、FEC素子部Q<sub>5</sub>とQ<sub>6</sub>が1つのNOR回路を構成し、これらが組み合わされている。

【0054】ここで、NAND回路52の一方の入力としてFEC素子部Q<sub>2</sub>の第1ゲートG<sub>F</sub>は導体層72によってデータカソードCD<sub>1</sub>と接続されてデータ入力となされる。また、NAND回路52の他方の入力としてFEC素子部Q<sub>3</sub>の第1ゲートG<sub>F</sub>は導体層74によってクロックカソードCCKと接続されてシフトクロック入力となされる（導体層72及び74となるラインについて図6参照）。

【0055】またFEC素子部Q<sub>2</sub>の第2ゲートG<sub>S</sub>とFEC素子部Q<sub>3</sub>の第1ゲートG<sub>F</sub>は導体層73で接続され、またFEC素子部Q<sub>4</sub>の第2ゲートG<sub>S</sub>とFEC素子部Q<sub>5</sub>の第1ゲートG<sub>F</sub>は導体層75で接続され、さらにFEC素子部Q<sub>6</sub>の第2ゲートG<sub>S</sub>とFEC素子部Q<sub>5</sub>の第1ゲートG<sub>F</sub>は導体層76で接続されている。これら、導体層73、75、76は図3のようにインバータ回路とNOR回路を組み合わせるための接続ラインに相当する。そして、NAND回路52の出力としてFEC素子部Q<sub>2</sub>の第2ゲートG<sub>S</sub>から図中②として示すように取り出される（出力②となるラインについて図6参照）。

【0056】図10は図6の構成のDフリップフロップ50<sub>1</sub>におけるNAND回路53の部位を示すものであり、データカソードCD<sub>1</sub>上（この場合、必ずしもデータカソードCD<sub>1</sub>上の部位とされる必要はないが）の絶縁層Zを介して設けられる抵抗部R<sub>2</sub>、エミッタコーンEC<sub>2</sub>、第1ゲートG<sub>F</sub>、第2ゲートG<sub>S</sub>によりFEC素子部Q<sub>7</sub>が形成され、また抵抗部R<sub>2</sub>、エミッタコーンEC<sub>2</sub>、第1ゲートG<sub>F</sub>、第2ゲートG<sub>S</sub>によりFEC素子部Q<sub>8</sub>が形成される。

【0057】さらに、クロックカソードCCK上の絶縁層Zを介して設けられる抵抗部R<sub>2</sub>、エミッタコーンEC<sub>2</sub>、第1ゲートG<sub>F</sub>、第2ゲートG<sub>S</sub>によりFEC素子部Q<sub>9</sub>が形成され、また抵抗部R<sub>2</sub>、エミッタコーン

EC<sub>10</sub>、第1ゲートG<sub>r</sub>、第2ゲートG<sub>s</sub>によりFEC素子部Q<sub>10</sub>が形成され、さらに抵抗部R<sub>2</sub>、エミッタコーンEC<sub>11</sub>、第1ゲートG<sub>r</sub>、第2ゲートG<sub>s</sub>によりFEC素子部Q<sub>11</sub>が形成される。抵抗部R<sub>2</sub>の層はすべて共通カソードCCに接している。

【0058】FEC素子部Q<sub>7</sub>とQ<sub>10</sub>は一点鎖線で示すように連続した部位として第2ゲートG<sub>s</sub>が形成されている。ただしFEC素子部Q<sub>7</sub>、Q<sub>9</sub>及びQ<sub>10</sub>、Q<sub>11</sub>のそれぞれは第2ゲートG<sub>s</sub>が連続されていない。各第2ゲートG<sub>s</sub>に対しては抵抗部R<sub>1</sub>を介して第2ゲート電圧V<sub>cs</sub>が印加されている。

【0059】このFEC素子部Q<sub>7</sub>～Q<sub>11</sub>により、図9の場合と同様にインバータ回路とNOR回路を組み合わせたNAND回路が構成される。つまり、FEC素子部Q<sub>7</sub>、Q<sub>9</sub>、Q<sub>11</sub>が3つのインバータ回路、FEC素子部Q<sub>8</sub>とQ<sub>10</sub>が1つのNOR回路を構成する。

【0060】ここで、NAND回路53の一方の入力としてFEC素子部Q<sub>7</sub>の第1ゲートG<sub>r</sub>には、図8のインバータ回路51の出力Φが供給される。また、NAND回路53の他方の入力としてFEC素子部Q<sub>8</sub>の第1ゲートG<sub>r</sub>は導体層78によってクロックカソードCCKと接続されてシフトクロック入力となされる（導体層78及び入力Φとなるラインについて図6参照）。

【0061】またFEC素子部Q<sub>9</sub>の第2ゲートG<sub>s</sub>とFEC素子部Q<sub>8</sub>の第1ゲートG<sub>r</sub>は導体層77で接続され、またFEC素子部Q<sub>9</sub>の第2ゲートG<sub>s</sub>とFEC素子部Q<sub>10</sub>の第1ゲートG<sub>r</sub>は導体層79で接続され、さらにFEC素子部Q<sub>10</sub>の第2ゲートG<sub>s</sub>とFEC素子部Q<sub>11</sub>の第1ゲートG<sub>r</sub>は導体層80で接続されている。これら、導体層77、79、80は図3のようにインバータ回路とNOR回路を組み合わせるための接続ラインに相当する。そして、NAND回路53の出力としてFEC素子部Q<sub>11</sub>の第2ゲートG<sub>s</sub>から図中③として示すように取り出される（出力③について図6参照）。

【0062】図11は図6の構成のDフリップフロップ50におけるNOR回路54、55の部位を示すものであり、データカソードCD<sub>1</sub>上の絶縁層Zを介して設けられる抵抗部R<sub>2</sub>、エミッタコーンEC<sub>11</sub>、第1ゲートG<sub>r</sub>、第2ゲートG<sub>s</sub>によりFEC素子部Q<sub>14</sub>が形成され、また抵抗部R<sub>2</sub>、エミッタコーンEC<sub>11</sub>、第1ゲートG<sub>r</sub>、第2ゲートG<sub>s</sub>によりFEC素子部Q<sub>15</sub>が形成される。

【0063】またデータカソードCD<sub>2</sub>上の絶縁層Zを介して設けられる抵抗部R<sub>2</sub>、エミッタコーンEC<sub>12</sub>、第1ゲートG<sub>r</sub>、第2ゲートG<sub>s</sub>によりFEC素子部Q<sub>12</sub>が形成され、また抵抗部R<sub>2</sub>、エミッタコーンEC<sub>12</sub>、第1ゲートG<sub>r</sub>、第2ゲートG<sub>s</sub>によりFEC素子部Q<sub>13</sub>が形成される。

【0064】抵抗部R<sub>2</sub>の層はすべて共通カソードCCに接している。FEC素子部Q<sub>14</sub>とQ<sub>15</sub>は第2ゲートG<sub>s</sub>

が共通とされており、この第2ゲートG<sub>s</sub>に対しては抵抗部R<sub>1</sub>を介して第2ゲート電圧V<sub>cs</sub>が印加されている。またFEC素子部Q<sub>14</sub>とQ<sub>15</sub>は第2ゲートG<sub>s</sub>が共通とされており、この第2ゲートG<sub>s</sub>に対しても抵抗部R<sub>1</sub>を介して第2ゲート電圧V<sub>cs</sub>が印加されている。

【0065】FEC素子部Q<sub>14</sub>とQ<sub>15</sub>により、図2のようなNOR回路が形成され、これが図6のNOR回路55となる。またFEC素子部Q<sub>12</sub>とQ<sub>13</sub>により、同様にNOR回路が形成され、これが図6のNOR回路54となる。

【0066】ここで、NOR回路55の一方の入力としてFEC素子部Q<sub>14</sub>の第1ゲートG<sub>r</sub>には、図10のNAND回路53の出力③が供給される。また、NOR回路55の他方の入力としては、FEC素子部Q<sub>15</sub>の第1ゲートG<sub>r</sub>が導体層81によってNOR回路54におけるFEC素子部Q<sub>13</sub>の第2ゲートG<sub>s</sub>と接続されていることで、NOR回路54の出力が供給されることになる。

【0067】また、NOR回路54の一方の入力としてFEC素子部Q<sub>12</sub>の第1ゲートG<sub>r</sub>には、図9のNAND回路52の出力②が供給される。また、NOR回路54の他方の入力としては、FEC素子部Q<sub>13</sub>の第1ゲートG<sub>r</sub>が導体層82によってNOR回路55におけるFEC素子部Q<sub>15</sub>の第2ゲートG<sub>s</sub>と接続されていることで、NOR回路55の出力が供給されることになる（導体層81、82及び入力②、③となるラインについて図6参照）。図6からわかるようにNOR回路54の出力がDフリップフロップ50の出力となるが、このため、NOR回路54における第2ゲートG<sub>s</sub>は導体層83によりデータカソードCD<sub>2</sub>に接続されており、これによって次のDフリップフロップ50にデータが供給されることになる。

【0068】Dフリップフロップ50<sub>1</sub>～50<sub>6</sub>及び60<sub>1</sub>～60<sub>6</sub>についてもほぼ同様にFEC素子を用いて構成される。また、カソード側FECシフトレジスタ4についても同様にFEC素子を用いた論理回路により構成できる。

【0069】このように本実施例の表示装置ではカソード側FECシフトレジスタ4、ゲート側FECシフトレジスタ5、FECラッチ回路6がFEC素子を用いた論理回路により構成され、従って製造上では、表示領域部と同一基板上で、表示領域部となるFEC素子を形成していく工程において同時にカソード側FECシフトレジスタ4、ゲート側FECシフトレジスタ5、FECラッチ回路6を形成することができ、つまり表示領域と表示駆動回路部が一体化できる。

【0070】さらに、表示コントローラ2の出力レベルであるTTLレベルからFEC駆動レベルまでの電圧レベル変換はカソード側FECシフトレジスタ4、ゲート側FECシフトレジスタ5、FECラッチ回路6への入

力信号ラインにおいて実行されるように構成されることになり、つまり、電圧レベル変換部3においてレベル変換回路はカソード側FECシフトレジスタ4、ゲート側FECシフトレジスタ5、FECラッチ回路6への入力ライン数に応じた少数だけ設ければよいことになり、カソード $C_1 \sim C_n$ 、及びゲート $G_1 \sim G_m$ に応じた $n \times m$ 個のように多数の電圧レベル変換回路は必要ない。これらのことから本実施例では、回路構成の簡略化、小型化及び全体の製造工程の効率化が実現され、大幅なコストダウンが可能となる。

【0071】次に図13により本発明の第2の実施例を説明する。この実施例の表示装置1では、FECを用いた論理回路により構成されるカソード側FECシフトレジスタ4、及びFECを用いた論理回路により構成されるゲート側FECシフトレジスタ5を有し、また、表示コントローラ2からこれらへの入力ラインにおいて電圧レベル変換部3を配する点は上記第1の実施例と同様であるが、表示領域において画素部20に対応して、メモリ部10が形成されてスタティック駆動を可能としており、これにより、ゲート側FECシフトレジスタ5のデータ1水平ライン周期でラッチするラッチ回路も不要となっている。

【0072】この場合、画素部20における駆動、即ち第1ゲート $G_f$ に対する電圧印加はメモリ部10における保持データに基づいてなされるものであり、各ゲートライン $G_1 \sim G_m$ に印加された画像データに基づく電圧（反転出力）と、各カソードライン $C_1 \sim C_n$ に印加されたスキャン電圧（反転出力）が、各画素部20に対応して設けられているオア回路90に入力され、オア回路90によってカソードとゲートの両方が反転レベルとされた画素部が選択される。

【0073】そして、その選択された画素部20に対応するメモリ部10に対してパルス幅変調された画像データ（輝度データ）がセットされる。即ち、メモリ部10には階調表現のためのデータがセットされることになる。そして、このメモリ部10に保持されたデータが画素部20における第1ゲート $G_f$ に印加されることになり、これによって画素部20からは階調に応じた量の電子がアノード $A_n$ に対して放出され、表示動作が実行される。

【0074】ここで、メモリ部10及びオア回路90も、FEC素子を上述した原理でスイッチ素子として用いて形成することができ、従って、製造時には画素部20とメモリ部10及びオア回路90は同一工程で同時に製造することができる。

【0075】このような本実施例では、上記第1の実施例と同様の効果に加えて、画素部20に対応してメモリ部10が設けられることでスタティック表示を可能とし、メモリデータにより発光動作がなされることで発光期間が長くなるため、ダイナミック表示よりはるかに低

い駆動電圧で十分な輝度を得ることができる。さらに、駆動電圧を低く設定できることで、蛍光体の寿命も伸ばすことができる。

【0076】なお、上記実施例では論理回路を形成するFECとして縦形のを例にあげたが、いわゆる横形のFECを用いてもよいことはいうまでもない。

【0077】

【発明の効果】以上説明したように、本発明の電界放出素子を用いた表示装置は、カソードと制御電極と集束電極を有する電界放出素子（FEC）が制御電極への印加電圧に応じてカソードから集束電極に対して電界放出を行なう動作を用いて論理回路を構成し、この論理回路によりカソードドライバ、ゲートドライバが形成されるようにしたため、表示領域部とカソードドライバ及びゲートドライバを同一基板上で同時に製造し、表示領域部と表示駆動回路部を一体化できることになり、さらに、TTLレベルからFEC駆動レベルまでの電圧レベル変換はカソードドライバ、ゲートドライバへの入力段階で行なわれることになるため電圧レベル変換回路の数は著しく削減される。これらのことから回路構成の簡略化、小型化及び全体の製造工程の効率化が実現され、大幅なコストダウンが可能となるという効果がある。

【0078】さらに、各画素部に対して、カソードと制御電極と集束電極を有する電界放出素子（FEC）が制御電極への印加電圧に応じてカソードから集束電極に対して電界放出を行なう動作を用いて形成されるデータ保持部を設け、画素部の電界放出素子における制御電極に対してはデータ保持部に保持されているデータが供給されるように構成することで、スタティック表示が可能となり、低い駆動電圧で十分な輝度を得ることができ、また駆動電圧を低く設定できることで、蛍光体の寿命も伸ばすことができるという効果がある。そして、このメモリ部もFECを用いて構成するため、FEC製造工程において同時に製造していくことができ、製造工程の複雑化を生じないという効果も発揮される。

【図面の簡単な説明】

【図1】本発明によるFECを用いたインバータ回路の説明図である。

【図2】本発明によるFECを用いたNOR回路の説明図である。

【図3】本発明によるFECを用いたNAND回路の説明図である。

【図4】本発明の第1の実施例の構成の説明図である。

【図5】第1の実施例のゲートドライバの回路図である。

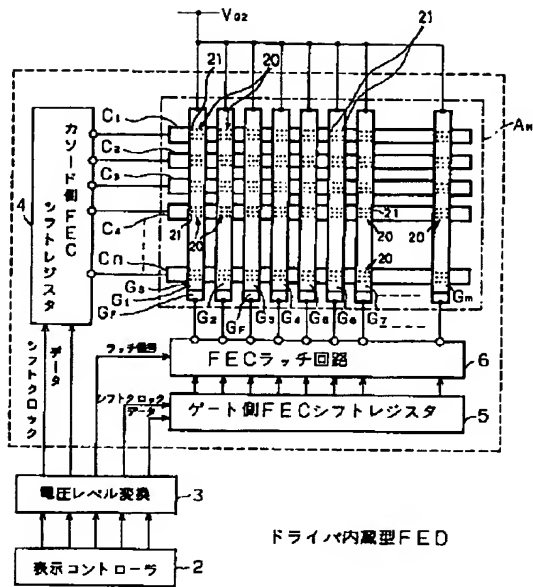
【図6】第1の実施例のゲートドライバにおけるDフリップフロップの回路図である。

【図7】第1の実施例のゲートドライバにおけるDフリップフロップの形成状態の説明図である。

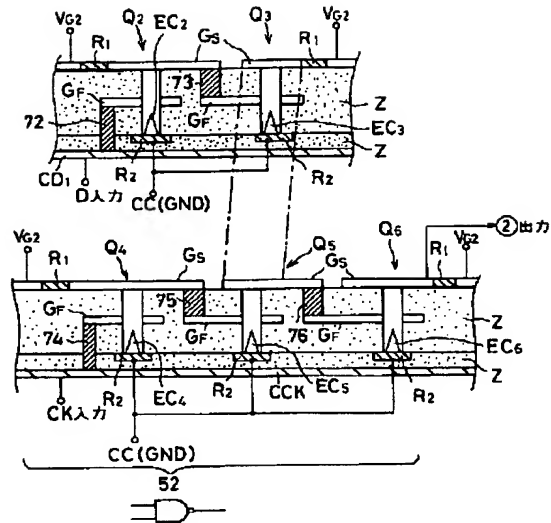
【図8】実施例におけるDフリップフロップのFECに



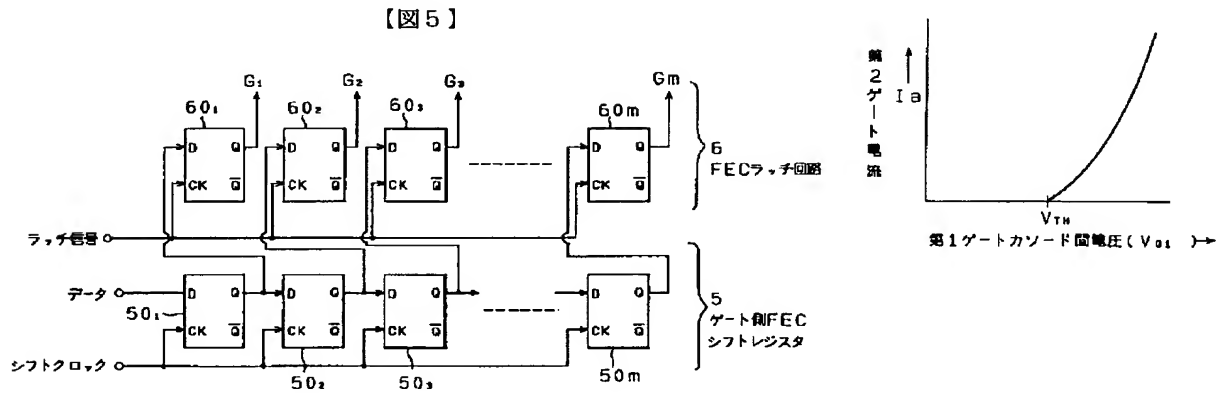
【図4】



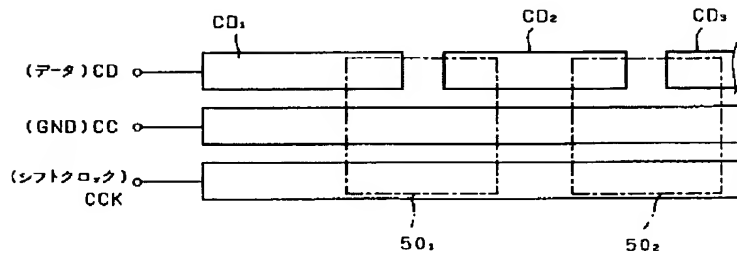
【図9】



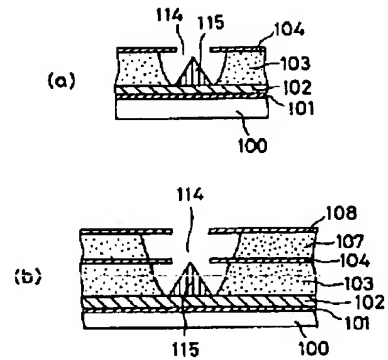
【図12】



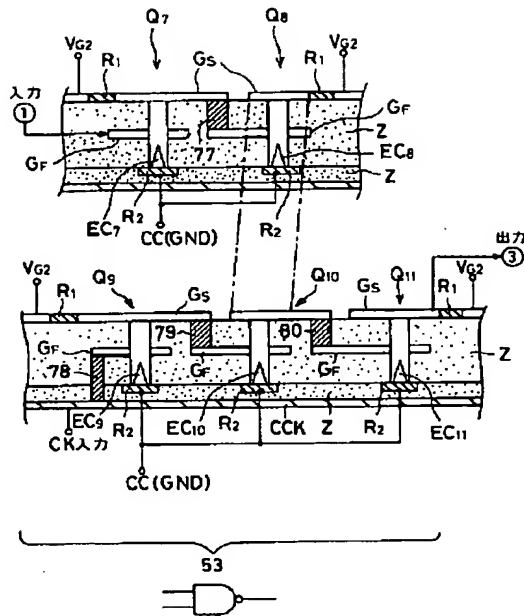
【図7】



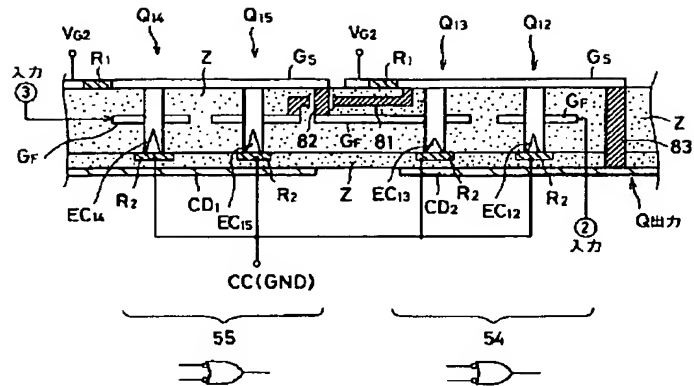
【図14】



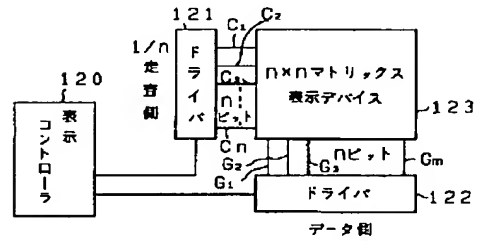
【図10】



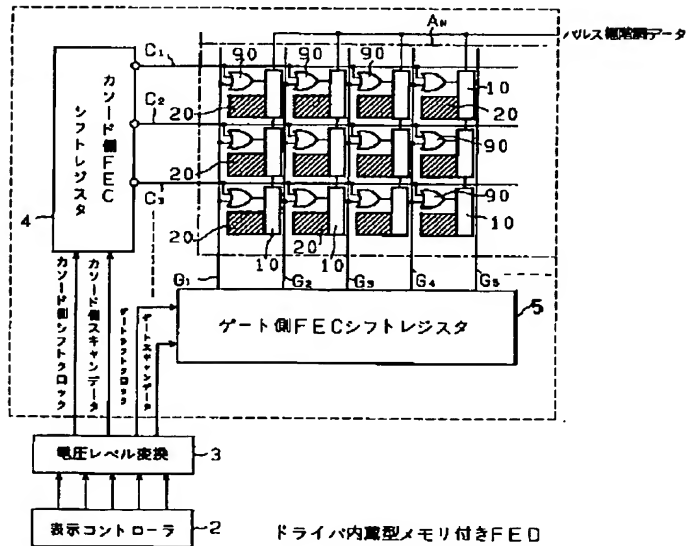
【図11】



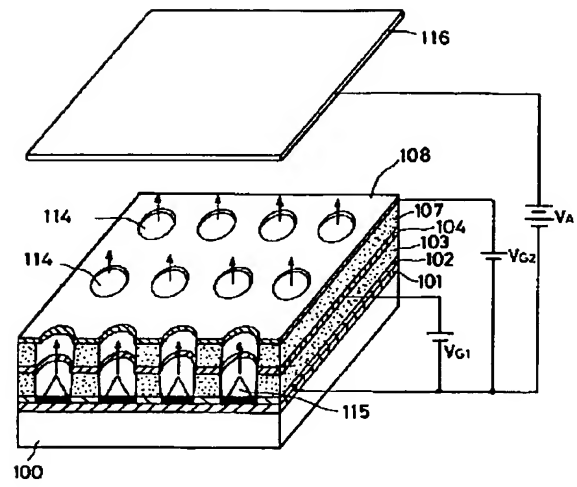
【図16】



【図13】



【図15】



【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第2区分  
 【発行日】平成8年(1996)10月18日

【公開番号】特開平 7-181920  
 【公開日】平成7年(1995)7月21日  
 【年通号数】公開特許公報 7-1820  
 【出願番号】特願平 5-345612  
 【国際特許分類第6版】

G09G 3/30 301

H01J 1/30

31/12

31/15

【F I】

G09G 3/30 301 9378-5G

H01J 1/30 Z 9172-5E

31/12 B 8326-5E

31/15 F 8326-5E

【手続補正書】

【提出日】平成7年6月26日

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図16

\*【補正方法】変更

【補正内容】

【図16】

